

# ВЫСОКОПРОИЗВОДИТЕЛЬНЫЙ 4-КАНАЛЬНЫЙ МНОГОРЕЖИМНЫЙ АЦП LM97600 КОМПАНИИ TEXAS INSTRUMENTS



Компания Texas Instruments (TI) является одним из ведущих производителей микросхем сверхвысокоскоростных АЦП, работающих в гигагерцевом диапазоне преобразования. Позиции фирмы были значительно усилены в данном секторе благодаря использованию технологий, разработанных компанией National Semiconductor, ставшей подразделением TI в 2011 году.

Сверхвысокоскоростные АЦП широко используются в цифровых осциллографах, тестовых измерительных приборах, промышленных АЦП, автоматизированном тестовом оборудовании, предназначенном для проверки микросхем и приборов, а также в радарных системах и сканерах, в медицинском диагностическом оборудовании, в приемниках базовых станций мобильной связи (GSM/EDGE, CDMA2000, UMTS, LTE и WiMax) и широкодиапазонных цифровых приемниках. Высокочастотные АЦП находят применение и в цифровой коррекции предскажений ВЧ-сигналов.

По своей функциональности микросхема LM97600 рассчитана на применение в различных измерительных приборах, в частности в многоканальных цифровых осциллографах или автоматизированных измерительных стендах, промышленных измерителях и устройствах мониторинга высокочастотных сигналов.

При изготовлении микросхемы использована технология SiGe BiCMOS.

На рис. 1 показана структурная схема микросхемы LM97600. Выходной интерфейс — 10 дифференциальных шин LVDS

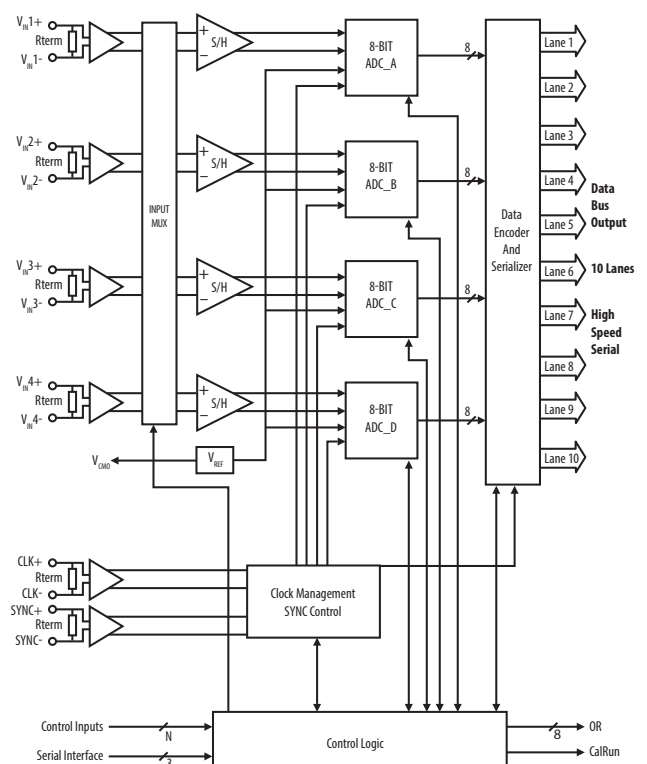


Рис. 1. Блок-схема микросхемы 4-канального сверхбыстродействующего АЦП LM97600

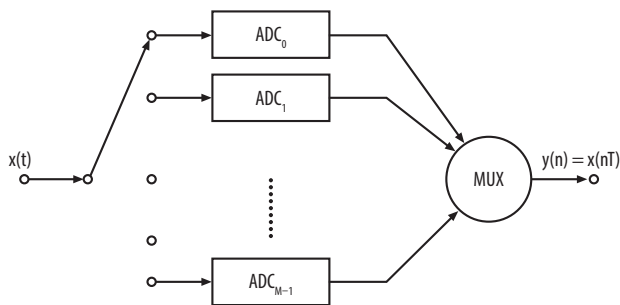


Рис. 2. Принцип конвейерного АЦП для повышения частоты выборок

Основу микросхемы составляют четыре 8-разрядных блока флэш АЦП, выполняющих цикл преобразования за один такт и синхронизируемых от программируемого тактового генератора. На рис. 2 показана архитектура конвейерного АЦП, когда выходные данные субблоков АЦП, работающих синхронно со смещением во времени в блоке мультиплексора, образуют единый поток цифровых данных с большей частотой выборки (семплирования).

В схеме 4-канального АЦП конвейерная схема использует на двух уровнях. На первом каждое ядро АЦП реально состоит из двух субблоков 8-разрядных АЦП. Это позволяет упростить требования к быстродействию каждого блока. Фазы преобразования обоих блоков строго синхронизированы. Сначала данные преобразует первый субблок, затем второй. При этом в работе конвейера синхронно работает схема выборки и хранения. А потому второй субблок АЦП преобразует уже сменившиеся данные с выхода схемы выборки и хранения.

Второй уровень конвейерной архитектуры микросхемы основан на конфигурировании в определенную схему конвейера и самих двухъядерных АЦП. Таким образом в структуре LM97600 присутствует восемь субблоков АЦП, действующих в конвейерном режиме (по очереди и синхронизировано).

Режим работы задается по управляющему последовательному интерфейсу. В зависимости от назначенного режима может изменяться частота семплирования и режим функционирования.

Структура АЦП имеет четыре независимых дифференциальных входа для оцифровываемых сигналов с нормирующими усилителями, четыре схемы выборки и хранения ( $S/H$  sample & hold) для каждого из каналов, а также систему управления синхронизацией с отдельными входами для частот синхронизации преобразования и циклов. Наличие аналогового

мультиплексора позволяет реализовать несколько режимов работы системы из четырех АЦП структуры. Это обеспечивается работой входного коммутатора входных сигналов и выходным кодером-сериализатором. Рассмотрим данные режимы подробнее.

**Первый режим** — полностью независимое преобразование по четырем каналам. В этом случае аналоговые сигналы с выходов входных усилителей прозрачно транслируются на свои схемы выборки и хранения. С выходов схем выборки и хранения сигналы поступают на соответствующие входы своих канальных 8-разрядных АЦП. Максимальная частота преобразования по каждому каналу составляет 1,25 ГГц. В этом режиме преобразования по всем четырем каналам производятся абсолютно синхронно. Далее, с выходов АЦП цифровые 8-разрядные сигналы поступают на вход кодер-сериализатора. В зависимости от назначенного режима он формирует выходной последовательный поток данных от АЦП. Для увеличения достоверности передачи данных в последовательных каналах применяется избыточное кодирование 8b/10b. Со стороны пункта назначения выполняется прием и декодирование данных, полученных по кодированному последовательному LVDS-каналу.

**Второй режим** позволяет работать двум каналам из четырех, но в режиме с удвоенной частотой семплирования данных. Активными в этом случае являются только два дифференциальных входа.

В этом режиме входной мультиплексор обеспечивает коммутацию сигналов от каждого из двух выбранных каналов сразу на две пары соответствующих схем выборки и хранения, но с заданной синхронизатором фазовой задержкой сигнала на вторую схему выборки и хранения. На такую же задержку сдвигается и начало цикла преобразования второго АЦП в этой связке. Пары АЦП работают в конвейерном режиме, повышая частоту выборок в два раза. Сначала преобразование выполняет первый АЦП, затем второй. Максимальная частота для данного режима достигает 2,5 ГГц. Синхронизацию АЦП для такого режима обеспечивает управляемый синхрогенератор.

Блок кодера-сериализатора обеспечивает сборку оцифрованных семплов, относящихся к своему входу, кодирование 8b/10b и сериализацию. Для передачи используются все 10 линий LVDS. На принимающей стороне производится распаковка и декодирование цифровых последовательных потоков для дальнейшей обработки в DSP или FPGA.

**Третий режим** работает так же, как и второй. Однако здесь используется лишь один полезный вход сигнала, остальные три блокируются. Входной коммутатор коммутирует лишь один уровень аналогового сигнала сразу на четыре схемы выборки и хранения с установленными задержками, кото-



Texas Instruments — одна из немногих компаний, производящих такие высокоскоростные АЦП, как LM97600. Данная микросхема может найти довольно широкое применение на отечественном рынке в таких направлениях как: цифровые осциллографы, медицинское диагностическое оборудование, радарные системы и т.п. К тому же данная микросхема, несмотря на свои характеристики, поставляется абсолютно свободно в нашу страну и не подлежит никакому лицензированию.

Сергей Гавриленко,  
инженер по внедрению холдинга PT Electronics,  
sergey.gavrilenko@ptelectronics.ru



КОММЕНТАРИИ  
СПЕЦИАЛИСТА

рые и определяют конвейерное преобразование связей схем выборки и хранения+АЦП. Действие всех четырех АЦП жестко синхронизировано с работой защелкивания схем выборки и хранения. Далее за счет учетверения скорости семплирования производится поочередная (конвейерное преобразование сигнала на четыре АЦП, относящегося к одному аналоговому каналу). Соответственно, блок кодера и сериализатора иначе выполняет сборку выходных данных со всех четырех АЦП, кодирования и сериализацию для передачи по 10 линиям LVDS.

В этом случае частота выборок для одного канала составляет 5 Гвыб/с.

### Основные характеристики микросхемы LM97600

- число каналов: 1/2/4;
- частоты выборок для трех режимов: 5/2,5/1,25 GSPS;
- регулируемая скважность для сигнала семплирования;
- подстраиваемое смещение входного сигнала и амплитуд под работу в полном диапазоне;
- два режима входных сигналов: 1,2...+/-0,06 В и 2,5...+/-0,125 В;
- 10 дифференциальных пар для выходного сигнала;
- низкое потребление: 3 Вт (работа), 60 мВт (холостой ход);
- встроенный генератор тестовых сигналов для проверки выходного тракта;
- средний размер выходных слов в серийном потоке: 7,6 бит (с учетом усечения, скремблирования и кодирования);
- число битовых ошибок: не хуже 10–18;
- ENOB @ 998 МГц вх.: 6,4 бит; отношение сигнал/шум SNR@ 998 МГц: 41 дБ (типовое);
- потребление, max (при 85 °С): не более 3,77 Вт;
- рабочий диапазон температур: -40...+85 °С;
- температура хранения: -65...+150 °С;
- напряжения питания: 1,2 и 2,5 В;
- корпус: 292-Ball BGA с высоким уровнем теплоотвода;
- размер корпуса: 27x27x2,38 мм.

Параметр (WORD ERROR RATE) характеризует вероятную частоту появления битовых ошибок и выражается в числе ошибочных битов за единицу времени, деленную на число слов, переданных за это время. Числу 10–18 соответствует статистическая ошибка в одном преобразовании за каждые четыре года.

В микросхеме LM97600 применяется встроенная калибровка, выполняемая в процессе, и архитектура интерполяции, которая обеспечивает 7,0 эффективных разрядов при семплировании на скорости до 5,0 GS/s.

### Выборочное усечение битов

Каждый из восьми конвейерных субблоков АЦП преобразует свой входной аналоговый сигнал в цифровой с 8-битным разрешением. Выход каждого из восьми субъядер АЦП затем усекается далее до 7-бит для каждого 8-го семпла. В усекаемом семпле младший бит устанавливается в ноль принудительно.

### Калибровка входных каскадов АЦП

Калибровка входного каскада выполняется каждый раз при включении питания и может быть проведена при пода-

че пользователем команды через управляющий интерфейс. При калибровке производится подключение дифференциальных входов INx и CLK к терминирующим резисторам для минимизации ошибок смещения полной шкалы или ошибки смещения входов. Безусловно, периодическая калибровка позволяет значительно улучшить качество преобразования и увеличить значения параметров SNR, THD, SINAD (SNDR) и ENOB., характеризующих динамический диапазон и соотношение сигнал/шум. Внутренний ток смещения также учитывается при проведении калибровки. Все это действует в одинаковой степени независимо от того, выполняется калибровка при включении питания или же по команде пользователя. Запуск процесса калибровки является важной частью функциональности микросхемы, и за счет нее обеспечиваются высокие параметры АЦП. При значительном изменении диапазона входных сигналов рекомендуется проводить пользовательскую рекалибровку, чтобы сохранить высокие параметры преобразования. Также рекомендуется проводить командную рекалибровку вслед за тем, как установится стабильная температура микросхемы после включения питания. Соответственно, при изменении температуры микросхемы конвертора следует запустить режим перекалибровки.

### Синхронизация входов

В зависимости от режима данные могут быть синхронизированы по переднему или по обоим фронтам (переднему и заднему) сигнала CLK.

### Управление режимами

Управление режимами в микросхеме LM97600 осуществляется установкой разрядов в конфигурационных (управляющих) регистрах через последовательный SPI-интерфейс.

### Аналоговые входы

Для трассирования аналоговых сигналов в LM97600 обязательно должны использоваться дифференциальные линии. Работа в недифференциальном режиме хотя и возможна, но не рекомендуется, поскольку резко ухудшаются основные параметры, в частности отношение сигнал/шум.

### Тестовые паттерны АЦП

Для отладки системы микросхема LM97600 имеет возможность выдачи на каждый цифровой выход каналов АЦП тестовый сигнал. Режим тестирования устанавливается в режиме регистре 1 (адрес 01h) (3-й бит — выбор режима тестового паттерна АЦП). Код (паттерн) тестовой последовательности устанавливается в 16-разрядном регистре тестового паттерна (адрес 0Dh).

### Встроенный генератор тестовых паттернов для контроля последовательного интерфейса

Выход генератора тестовых паттернов подключается непосредственно к выходу сериализатора данных и не проходит через блок кодера 8b10b. Это позволяет напрямую тестировать каналы передачи. Применяются два типа тестовых паттернов, которые пользователь выбирает установкой битов режимных регистров. Режим LFSR обеспечивает генерацию

псевдослучайной последовательности и может быть использован при отладке каналов, проверке помехоустойчивости и т.п. Последовательность паттернов LFSR начинается со слова флага, состоящего из двух фиксированных символов. За ними идет последовательность псевдослучайного сигнала длиной 62 бит. Различные варианты LFSR-режимов позволяют запускать тесты как одновременно по всем скоростным шинам, так и с заданным смещением от 10 до 50 бит.

### Цифровой выходной интерфейс

Выходные данные микросхемы LM97600 передаются потребителю через 10 высокоскоростных дифференциальных пар (lanes). Суммарная скорость передачи: 5 Гсемпл/с × 8 бит = 40 Гбит/с.

Поскольку используется избыточное кодирование 8b10b, дающее оверхед, то реальная скорость передачи возрастает до 50 Гбит/с.

### Эффективное число битов (ENOB)

Отражает динамические параметры АЦП, связанные с работой реальной схемы. Разрешение АЦП определяется числом битов, представляющих аналоговую величину 2N сигналами уровнями для N-битным сигналом. Однако все реальные АЦП вносят характерный шум квантования и искажения. ENOB определяет разрешение идеального АЦП, обеспечивающего то же разрешение.

ENOB используется для оценки качества преобразования, в частности, качества работы такого узла, как схемы выборки и хранения с усилителем.

Типовое определение параметра ENOB:

$$ENOB = \frac{SINAD - 1,76}{6,02}$$

где все величины, участвующие в формуле, приведены в dB и:

- SINAD — отношение, характеризующее качество сигнала;
- коэффициент 6.02 для конвертирования децибел ( $a \log_{10} X$ ) в число бит ( $a \log_2 X$ );
- коэффициент 1.76 получается из ошибки квантизации идеального АЦП.

Это соотношение дает сравнение SINAD идеального АЦП с длиной слова ENOB в битах при сравнении SINAD АЦП и ЦАП при обратном конвертировании сигнала для проверки качества преобразования.

$$1. \quad 6,02 \approx 20 \log_{10} 2$$

$$2. \quad 1,76 \approx 10 \log_{10} (3/2)$$

Эффективное число битов (ENOB — Effective Number Of Bits) в микросхеме LM797600 — 6,6.

### Температурный режим микросхемы

Точность преобразования в значительной степени зависит от температуры и ее стабильности. Это следует учитывать при проектировании, чтобы обеспечить достаточный теплоотвод. 3 Вт — достаточно большое тепловыделение для миниатюрного корпуса. Следует принимать во внимание рекомендации, данные в даташите на микросхему.

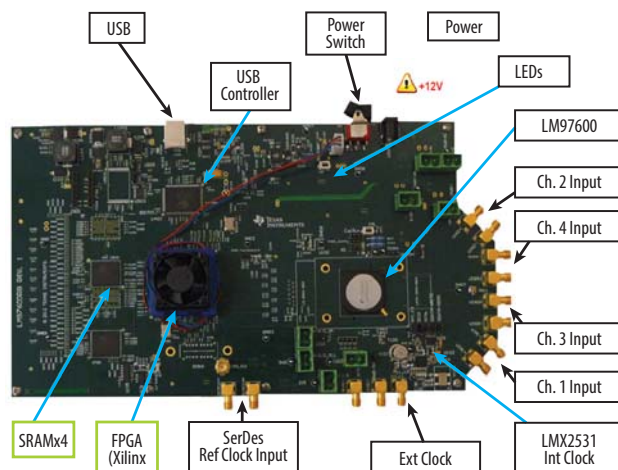


Рис. 3. Общий вид и функциональные компоненты отладочной платы

### Оценочная плата LM97600RB

Для упрощения разработки и отладки пользовательского приложения очень полезным инструментом является отладочный набор LM97600RB. Применение платы LM97600RB позволяет оценить производительность преобразования подсистемы со средним разрешением 7,6 бит, а также отношение сигнал/шум и динамический диапазон в разных режимах работы всех каналов преобразования входных сигналов с полосой до 1,0 ГГц. Скорости семплирования при этом: 1,25 GSPS при независимой работе всех четырех входов; 2,5 GSPS при двухвходовой схеме или 5,0 GSPS при одном входе. На плате установлены следующие компоненты:

- АЦП LM97600;
- синхрогенератор LMX2531LQ2570E;
- линейный LDO-стабилизатор напряжения LP3878MR-ADJ;
- импульсный стабилизатор напряжения LM2738YMY;
- микросхема конвертера интерфейсов USB-> SPI;
- ПЛИС Xilinx XC5VFX70T-3FF1136C Virtex-5 для реализации базовых функций захвата высокоскоростных данных, поступающих с выхода АЦП.

На рис. 3 показан общий вид оценочной платы и расположение базовых компонентов на ней.

На рис. 4 представлена структурная схема отладочного комплекта.

Основные характеристики демоплаты

- демонстрация типовых динамических параметров LM97600;
- семплирование в режиме четырех каналов с частотой до 1,25 Гсемпл/с (ограничено свойствами АЦП и возможностями ПЛИС в режиме захвата);
- семплирование в двухканальном режиме с частотой до 2,5 Гсемпл/с (ограничено свойствами АЦП и возможностями ПЛИС в режиме захвата);
- семплирование в одноканальном режиме с частотой до 5,0 Гсемпл/с (ограничено свойствами АЦП и возможностями ПЛИС в режиме захвата);
- большой объем памяти на плате для захвата длинных треков сигналов;

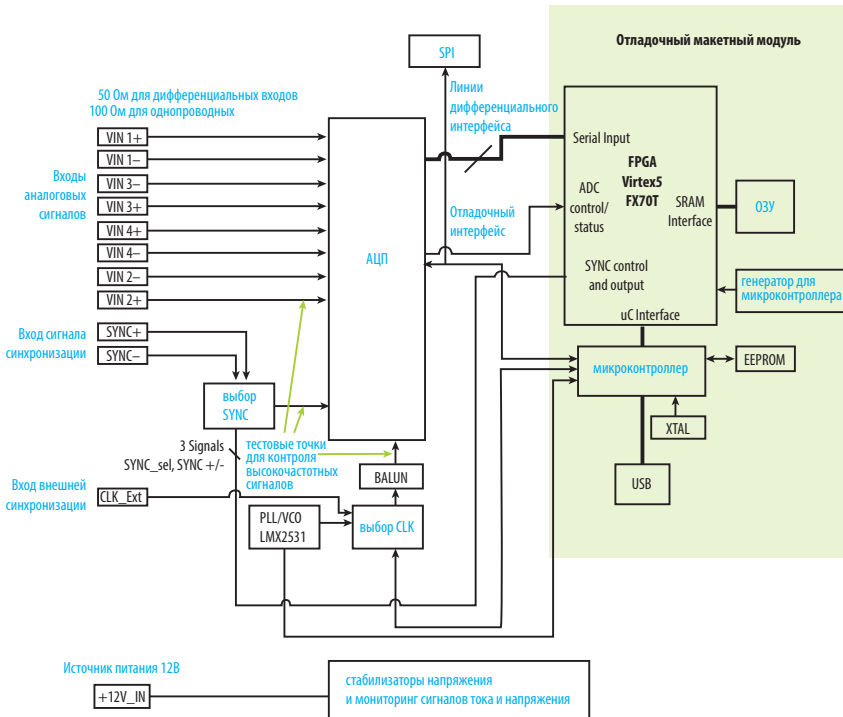


Рис. 4. Структурная схема демоплаты

- встроенный генератор сигналов синхронизации LMX2531 с разъемом для подключения сигнала внешней синхронизации;
- маломощные источники стабилизированного напряжения для питания АЦП и схемы синхронизации;
- ПЛИС и USB-контроллер;
- один источник питания +12 В (сетевой адаптер);
- управление режимами работы оценочной платы обеспечивается через порт USB 2.0 компьютера;
- работа с платой поддерживается специальным ПО WaveVision 5, разработанным Texas Instruments обеспечивающим простой и интуитивный графический интерфейс для управления режимами и анализа и визуализации выходных сигналов с АЦП.

На рис. 5 показано рабочее окно графического интерфейса WaveVision 5.

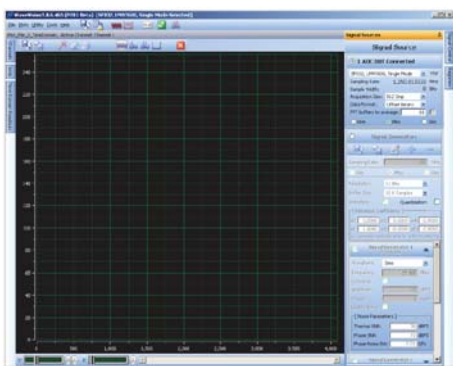


Рис. 5. Рабочее окно графического интерфейса WaveVision 5 (настройка режимов)

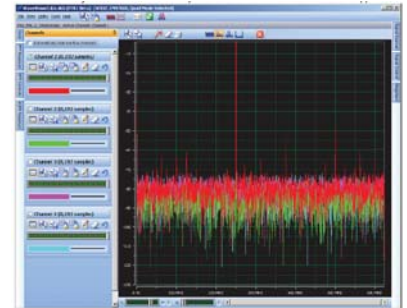


Рис. 6. Рабочее окно графического интерфейса WaveVision 5 (анализ сигнала в одноканальном режиме)

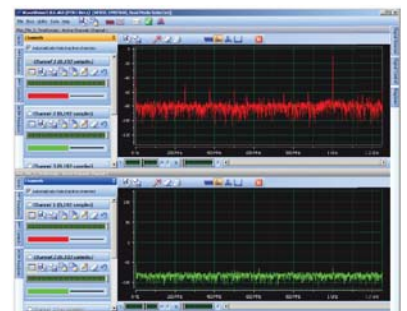


Рис. 7. Рабочее окно графического интерфейса WaveVision 5 (анализ сигнала в двухканальном режиме)



## Литература

1. LM97600RB Reference Board Users' Guide. Texas Instruments Incorporated. July 27, 2012.
2. Carnes J. TI Designs High Speed JESD204B Link Latency Design Using a High Speed ADC and FPGA. TIDU171 TI.
3. WaveVision 5 Software Driver Installation Guide. Texas Instruments Incorporated. User's Guide. January 2012.
4. WaveVision 5 Software Data Acquisition and Analysis Tool. National from TI. User's Guide. October 2008.
5. High-Speed, Analog-to-Digital Converter Basics. Application Report SLAA510. Texas Instruments. January 2011.
6. Загорский В. Передовые цифровые методы постобработки для высокоскоростных систем аналого-цифрового преобразования // Компоненты и технологии. 2004. № 1.